

⑫ 公開特許公報(A) 平3-82164

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月8日

H 01 L 29/788
27/115
27/12
29/784
29/792

7514-5F

7514-5F H 01 L 29/78 3 7 1
8831-5F 27/10 4 3 4
9056-5F 29/78 3 1 1 C

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 薄膜モランジスタメモリおよびその製造方法

⑮ 特 願 平1-217575

⑯ 出 願 平1(1989)8月25日

⑰ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑱ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタメモリおよびその製造方法

2. 特許請求の範囲

(1) 絶縁基板上に形成されたゲート電極と、このゲート電極の上に形成された耐圧保持膜と、この耐圧保持膜の上に形成されたゲート絶縁膜と、このゲート絶縁膜の上に前記ゲート電極と対向させて形成された半導体層と、この半導体層の両側部に設けられたソース、ドレイン電極とからなり、かつ前記ゲート電極にその一部分を除いて、このゲート電極をその表面から所定深さに酸化させた酸化絶縁層を形成するとともに、前記ゲート電極の前記一部分と前記耐圧保持膜と前記ゲート絶縁膜と前記半導体層と前記ソース、ドレイン電極とでメモリトランジスタを構成し、前記ゲート電極の他の部分およびその表面部の前記酸化絶縁層と前記耐圧保持膜と前記ゲート絶縁膜と前記半導体層と前記ソース、ドレイン電極とで選択トランジスタを構成したことを特徴とする薄膜トランジスタメモリ。

タメモリ。

(2) 絶縁基板上にゲート電極を形成した後、このゲート電極の一部分を除く部分をその表面から所定深さに酸化させて酸化絶縁層を形成し、この後前記ゲート電極の上に耐圧保持膜とゲート絶縁膜と半導体層とソース、ドレイン電極を順次形成することを特徴とする薄膜トランジスタメモリの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜トランジスタメモリおよびその製造方法に関するものである。

〔従来の技術〕

最近、電気的に書き込み／消去／読出しが可能なE² PROM等のメモリとして、メモリ素子を薄膜トランジスタで構成した薄膜トランジスタメモリが考えられている。

この薄膜トランジスタメモリとしては、従来、絶縁基板上にメモリ用薄膜トランジスタと選択用薄膜トランジスタとを互いに隣接させて形成して

メモリ素子を構成したものが知られている。

第8図は従来の薄膜トランジスタメモリの等価回路を示したもので、図中T1はメモリ用薄膜トランジスタ（以下メモリトランジスタという）、T2は選択用薄膜トランジスタ（以下選択トランジスタという）であり、選択トランジスタT2のソース電極S2はメモリトランジスタT1のドレイン電極D1に接続されており、上記メモリトランジスタT1と選択トランジスタT2とによって1つのメモリ素子が構成されている。なお、メモリトランジスタT1のゲート電極G1と選択トランジスタT2のゲート電極G2は図示しないゲートライン（アドレスライン）に接続されており、またメモリトランジスタT1のソース電極S1は図示しないソースライン（データライン）に接続され、選択トランジスタT2のドレイン電極D2は図示しないドレインライン（データライン）に接続されている。

〔発明が解決しようとする課題〕

しかしながら、上記従来の薄膜トランジスタメ

モリは、絶縁基板上にメモリ用薄膜トランジスタT1と選択用薄膜トランジスタT2とを互いに隣接させて形成してメモリ素子を構成したものであるため、メモリ素子の素子面積が大きく、したがって集積度を上げることが難しい。また、メモリ用薄膜トランジスタT1と選択用薄膜トランジスタT2とをそれぞれ別工程で製造しなければならないために、その製造に多くの工程数を要するという問題をもっていた。

本発明は上記のような実情にかんがみてなされたものであって、その目的とするところは、メモリトランジスタと選択トランジスタとで構成されるメモリ素子の素子面積を小さくして集積度を上げ、しかも少ない工程数で容易に製造することができる薄膜トランジスタメモリを提供するとともに、あわせてその製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の薄膜トランジスタメモリは、絶縁基板上に形成されたゲート電極と、このゲート電極の上に形成された耐圧保持膜と、この耐圧保持膜の

上に形成されたゲート絶縁膜と、このゲート絶縁膜の上に前記ゲート電極と対向させて形成された半導体層と、この半導体層の両側部に設けられたソース、ドレイン電極とからなり、かつ前記ゲート電極にその一部分を除いて、このゲート電極をその表面から所定深さに酸化させた酸化絶縁層を形成するとともに、前記ゲート電極の前記一部分と前記耐圧保持膜と前記ゲート絶縁膜と前記半導体層と前記ソース、ドレイン電極とでメモリトランジスタを構成し、前記ゲート電極の他の部分およびその表面部の前記酸化絶縁層と前記耐圧保持膜と前記ゲート絶縁膜と前記半導体層と前記ソース、ドレイン電極とで選択トランジスタを構成したことを特徴とするものである。

また、本発明の薄膜トランジスタメモリの製造方法は、絶縁基板上にゲート電極を形成した後、このゲート電極の一部分を除く部分をその表面から所定深さに酸化させて酸化絶縁層を形成し、この後前記ゲート電極の上に耐圧保持膜とゲート絶縁膜と半導体層とソース、ドレイン電極を順次形

成することを特徴とするものである。

〔作用〕

すなわち、本発明の薄膜トランジスタメモリは、薄膜トランジスタのゲート電極とゲート絶縁膜との間の耐圧保持層を、前記ゲート電極の一部分に対応する部分ではゲート電極上の耐圧保持膜だけからなる薄膜とし、前記ゲート電極の他の部分に対応する部分ではゲート電極の表面部に形成した酸化絶縁層と前記耐圧保持膜とからなる二層の厚膜とすることにより、ゲート電極からゲート絶縁膜に印加される電界の強度を前記ゲート電極の一部分に対応する部分と他の部分とで異ならせて、前記ゲート絶縁膜のうちの前記耐圧保持膜だけからなる薄膜の耐圧保持層を介してゲート電極と対向する部分だけに電荷蓄積機能をもたせ、ゲート絶縁膜に電荷蓄積機能をもたせた部分をメモリトランジスタとするとともに他の部分を選択トランジスタとしたものであり、この薄膜トランジスタメモリは、1つの薄膜トランジスタの中にメモリトランジスタと選択トランジスタとを形成したも

のであるから、メモリトランジスタと選択トランジスタとで構成されるメモリ素子の素子面積を小さくして集積度を上げることができるし、また、1つの薄膜トランジスタを製造する工程で上記メモリ素子を構成するメモリトランジスタと選択トランジスタとを形成することができるから、少ない工程数で容易に製造することができる。しかも、本発明の薄膜トランジスタメモリでは、ゲート電極とゲート絶縁膜との間の耐圧保持層のうち選択トランジスタ部分の膜厚を、ゲート電極をその表面から所定深さに酸化させて形成した酸化絶縁層によって確保しているため、ゲート電極上に形成する耐圧保持層の膜厚を選択トランジスタ部分において厚くする場合のように上記耐圧保持層の膜面に段差ができることはなく、したがって上記耐圧保持層の上に形成したゲート絶縁膜上に設ける半導体層を平坦にかつ均一な厚さに形成して信頼性を向上させることができる。

また、本発明の薄膜トランジスタメモリの製造方法は、絶縁基板上にゲート電極を形成した後、

おり、 $4000\text{\AA} \sim 5000\text{\AA}$ の膜厚に形成されている。そして、このゲート電極Gの中央部分を除く両側部には、このゲート電極Gをその表面から所定深さ($2000\text{\AA} \sim 3000\text{\AA}$)に酸化させた酸化絶縁層12が形成されている。この酸化絶縁層12は、ゲート電極Gを形成するタンタル(Ta)を酸化させた酸化タンタル(TaO_x)である。また、上記ゲート電極Gの上には、基板11全面にわたって例えば酸化タンタル(TaO_x)等の誘電体からなる耐圧保持膜13が $2000\text{\AA} \sim 3000\text{\AA}$ の厚さに形成されており、この耐圧保持膜13の上には、シリコン原子Siと窒素原子Nとの組成比Si/Nを化学量論比(Si/N=0.75)とほぼ同程度(Si/N=0.65~0.85)にした窒化シリコン(Si₃N₄)からなる膜厚 $100\text{\AA} \sim 500\text{\AA}$ のゲート絶縁膜14が形成されている。このゲート絶縁膜14膜の上には、前記ゲート電極Gの全域に対向させて、メモリトランジスタT10と選択トランジスタT20とに共用されるi型半導体層15が形成されている。このi型半導体層15はi-a-

このゲート電極の一部を除く部分をその表面から所定深さに酸化させて酸化絶縁層を形成し、この後前記ゲート電極の上に耐圧保持膜とゲート絶縁膜と半導体層とソース、ドレイン電極を順次形成するものであるから、1つの薄膜トランジスタの中にメモリトランジスタと選択トランジスタとを形成した前記薄膜トランジスタメモリを製造することができる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図~第3図は本発明の第1の実施例を示したもので、第1図は薄膜トランジスタメモリの断面図である。

この薄膜トランジスタメモリの構造を説明すると、第1図において、図中11はガラス等からなる絶縁基板であり、この基板11上には、メモリトランジスタT10と選択トランジスタT20とに共用されるゲート電極Gが形成されている。このゲート電極Gは例えばタンタル(Ta)からなって

Si(i型アモルファス・シリコン)からなっており、このi型半導体層15の両側部の上には、 $n^+ - a - \text{Si}$ (n型不純物をドーブしたアモルファス・シリコン)からなるn型半導体層16を介して、ソース電極Sとドレイン電極Dとが形成されている。

そして、この薄膜トランジスタの中央部分(ゲート電極Gの中央部分に対応する部分)はメモリトランジスタT10とされており、その両側部分(ゲート電極Gの酸化絶縁層12を形成した両側部に対応する部分)はそれぞれ選択トランジスタT20とされている。

すなわち、この実施例の薄膜トランジスタメモリは、薄膜トランジスタのゲート電極Gとゲート絶縁膜14との間の耐圧保持層Aを、前記ゲート電極Gの中央部分に対応する部分ではゲート電極G上の耐圧保持膜13だけからなる薄膜(膜厚 $2000\text{\AA} \sim 3000\text{\AA}$)とし、前記ゲート電極Gの両側部分に対応する部分ではゲート電極Gの表面部に形成した酸化絶縁層12と前記耐圧保持膜13と

からなる二層の厚膜（膜厚4000Å～8000Å）とすることにより、ゲート電極Gからゲート絶縁膜14に印加される電界の強度を前記ゲート電極Gの中央部分に対応する部分と両側部分とで異ならせて、前記ゲート絶縁膜のうちの前記耐圧保持膜13だけからなる薄膜の耐圧保持層Aを介してゲート電極Gと対向する部分だけに電荷蓄積機能をもたせることにより、1つの薄膜トランジスタの中に、1つのメモリトランジスタT10とその両側に位置する2つの選択トランジスタT20とを形成したもので、メモリトランジスタT10は、ゲート電極Gの中央部分と、前記耐圧保持膜13の中央部分と、ゲート絶縁膜14と、i型半導体層15およびn型半導体層16と、ソース、ドレイン電極S、Dとで構成され、2つの選択トランジスタT20はそれぞれ、上記ゲート電極Gの両側部分およびその表面部の酸化絶縁層12と、前記耐圧保持膜13と、ゲート絶縁膜14と、上記i型半導体層15およびn型半導体層16と、上記ソース、ドレイン電極S、Dとで構成されている。

後上記酸化防止膜17を除去する。

次に、第3図(c)に示すように、上記ゲート電極Gの上に基板11全面にわたって、酸化タンタル(TaO_x)からなる耐圧保持膜13と、 $Si/N=0.85\sim0.85$ の窒化シリコンからなるゲート絶縁膜14と、 $i-a-Si$ からなる半導体層15と、 n^+-a-Si からなるn型半導体層16とをそれぞれ2000Å～3000Å、100Å～500Å、1500Å、250Åの厚さに順次堆積させる。

次に、第3図(d)に示すように、上記n型半導体層16とi型半導体層14とを薄膜トランジスタの素子形状にパターニングする。

この後は、上記n型半導体層16の上に基板11全面にわたって、ソース、ドレイン電極S、Dとなるクロム等の金属膜を膜付けし、この金属膜とその下のn型半導体層16をパターニングすることにより第3図(e)に示すようにソース電極Sとドレイン電極Dとを形成して、1つの薄膜トランジスタの中に1つのメモリトランジスタT10と2つの選択トランジスタT20とを形成した

第2図は上記薄膜トランジスタメモリの等価回路を示しており、ゲート電極Gは図示しないゲートライン（アドレスライン）に接続され、ソース、ドレイン電極S、Dはそれぞれ図示しないソース、ドレインライン（データライン）に接続されている。

第3図は上記薄膜トランジスタメモリの製造方法を示したもので、この薄膜トランジスタメモリは次のような工程で製造される。

まず、第3図(a)に示すように、基板11上にタンタル(Ta)を4000Å～5000Åの厚さに膜付けし、このタンタル膜をパターニングしてゲート電極Gを形成した後、このゲート電極Gの上の中央部分に、クロム(Cr)等からなる酸化防止膜17をフォトリソグラフィ法により形成する。

次に、上記酸化防止膜17をマスクとして前記ゲート電極Gを陽極酸化し、第3図(b)に示すようにゲート電極Gの中央部分を除く両側部に、その表面から所定深さ(2000Å～3000Å)に達する酸化絶縁層(TaO_x 層)12を形成し、この

薄膜トランジスタメモリを完成する。

なお、上記メモリトランジスタT10と選択トランジスタT20の面積は、各トランジスタT10、T20の特性をどのように選ぶかによって決めればよく、これによってゲート電極Gの面積、その非酸化領域と酸化領域との面積、およびソース電極Sとドレイン電極Dとの間隔を選べばよい。

この薄膜トランジスタメモリの書き込み、消去、読出しは次のようにして行なわれる。

書き込み時は、ゲート電極Gが接続されているゲートラインにメモリトランジスタT10の書き込み消去電圧 V_p の1/2に相当する正電圧 $+1/2V_p$ を印加し、ソース電極Sが接続されているソースラインとドレイン電極Dが接続されているドレインラインにそれぞれ上記書き込み消去電圧 V_p の1/2に相当する負電圧 $-1/2V_p$ を印加する。このような電圧を印加すると、2つの選択トランジスタT20がオンし、メモリトランジスタT10のゲートとソース、ドレインとの間に書き込み消去電圧 V_p に相当する電位差が生じてメモリトランジスタ

T10が書き込み状態になる。

また、消去時は、上記ゲートラインに $-1/2V_p$ を印加し、ソースラインとドレインラインにそれぞれ $+1/2V_p$ を印加する。このような電圧を印加すると、メモリトランジスタT10のゲートとソース、ドレインとの間に書き込み消去電圧 V_p に相当する逆電位の電位差が生じてメモリトランジスタT10に保持されているデータが消去される。

一方、読出し時は、ゲートラインに上記書き込み消去電圧 V_p より十分小さなオン電圧 V_{on} を印加するとともに、ドレインラインに読出し電圧(書き込み消去電圧 V_p より十分小さな電圧) V_o を印加し、ソースラインの電位は0とする。このような電圧を印加すると、メモリトランジスタT10に保持されているデータに応じてドレインラインからソースラインに電流が流れ、これが読出しデータとして出力される。

なお、上記書き込み、消去、読出し時のいずれの場合も、選択されたソース、ドレインラインへの印加電圧がこのソース、ドレインライン上の他の

非選択メモリ素子にも印加されるが、この非選択メモリ素子のゲートラインは選択されていないために、非選択メモリ素子の選択トランジスタT20はオフ状態にあるから、非選択メモリ素子のメモリトランジスタT10はソース、ドレインラインに印加される電圧の影響を受けない。すなわち、上記選択トランジスタT20は、メモリトランジスタT10の選択だけでなく、非選択時にソース、ドレインラインに印加される電圧からメモリトランジスタT10をガードするガードトランジスタとしての作用ももっている。

しかして、上記実施例の薄膜トランジスタメモリにおいては、薄膜トランジスタのゲート電極Gとゲート絶縁膜14との間の耐圧保持層13を、前記ゲート電極Gの中央部分に対応する部分ではゲート電極G上の耐圧保持膜13だけからなる薄膜とし、前記ゲート電極Gの両側部分に対応する部分ではゲート電極Gの表面部に形成した酸化絶縁層12と前記耐圧保持膜13とからなる二層の厚膜とすることにより、ゲート電極Gからゲート

絶縁膜14に印加される電界の強度を前記ゲート電極Gの中央部分に対応する部分と両側部分とで異ならせて、前記ゲート絶縁膜14のうちの前記耐圧保持膜13だけからなる薄膜の耐圧保持層Aを介してゲート電極Gと対向する部分だけに電荷蓄積機能をもたせて、1つの薄膜トランジスタの中にメモリトランジスタT10と選択トランジスタT20とを形成しているから、メモリトランジスタと選択トランジスタとで構成されるメモリ素子の素子面積を小さくして集積度を上げることができるし、また、1つの薄膜トランジスタを製造する工程で上記メモリ素子を構成するメモリトランジスタT10と選択トランジスタT20とを形成することができるから、少ない工程数で容易に製造することができる。しかも、上記薄膜トランジスタメモリでは、ゲート電極Gとゲート絶縁膜14との間の耐圧保持層Aのうち選択トランジスタT20部分の膜厚を、ゲート電極Gをその表面から所定深さに酸化させて形成した酸化絶縁層12によって確保しているため、ゲート電極G上に形成する耐

圧保持膜13の膜厚を選択トランジスタT20部分において厚くする場合のように上記耐圧保持膜13の膜面に段差ができることはなく、したがって上記耐圧保持膜13の上に形成したゲート絶縁膜14上に設けるI型半導体層15を平坦にかつ均一な厚さに形成して信頼性を向上させることができる。さらに上記実施例では、選択トランジスタT20をメモリトランジスタT10の両側に設けているから、この2つの選択トランジスタT20のいずれか一方の特性が不良であっても、もう1つの選択トランジスタT20によってメモリトランジスタT10の選択およびガードを行なうことができ、したがって、選択トランジスタT20が1つだけのものよりも信頼性を向上させることができる。

また、上記実施例の薄膜トランジスタメモリの製造方法は、基板11上にゲート電極Gを形成した後、このゲート電極Gの中央部分を除く両側部分をその表面から所定深さに酸化させて酸化絶縁層12を形成し、この後前記ゲート電極Gの上に耐圧保持膜13とゲート絶縁膜14とI型半導体

層15とn型半導体層16およびソース、ドレイン電極S、Dを順次形成するものであるから、1つの薄膜トランジスタの中にメモリトランジスタと選択トランジスタとを形成した前記実施例の薄膜トランジスタメモリを製造することができる。

次に、本発明の他の実施例を説明する。

第4図および第5図は本発明の第2の実施例を示したもので、第4図は薄膜トランジスタメモリの断面図、第5図はその等価回路図である。

この実施例の薄膜トランジスタメモリは、上記第1の実施例の薄膜トランジスタメモリに、メモリトランジスタT10と2つの選択トランジスタT20とに共用される第2のゲート電極Gaを設けたもので、この第2のゲート電極Gaは、1型半導体層15およびソース、ドレイン電極S、Dの上に形成した上部ゲート絶縁膜18の上に形成されている。この上部ゲート絶縁膜18は、Si/N=0.85~0.85の窒化シリコンからなる膜厚3000Å程度の電荷蓄積機能のない絶縁膜とされており、上記第2のゲート電極Gaは読出し用のゲ

ート電極とされている。また、基板11上のゲート電極Gは書き込み消去用ゲートライン（図示せず）に接続され、上記第2のゲート電極Gaは読出し用ゲートライン（図示せず）に接続されている。なお、この実施例の薄膜トランジスタメモリは、上記第2のゲート電極Gaを設けた以外の構成は上記第1の実施例の薄膜トランジスタメモリと同じ構成となっているから、その説明は図に同符号を付して省略する。また、この薄膜トランジスタメモリは、上記第1の実施例の薄膜トランジスタメモリの製造方法に上部ゲート絶縁膜18の形成工程と第2のゲート電極Gaの形成工程を付加するだけで製造できるから、その製造方法の説明も省略する。

この実施例の薄膜トランジスタメモリは、メモリトランジスタT10への書き込みおよび消去は基板11上のゲート電極Gにゲート電圧を印加して行ない、読出しは第2のゲート電極Gaにゲート電圧を印加して行なうようにしたものである。

しかして、この第3の実施例の薄膜トランジ

スタメモリにおいても、1つの薄膜トランジスタの中にメモリトランジスタT10と2つの選択トランジスタT20とを形成しているから、メモリトランジスタT10と選択トランジスタT20とで構成されるメモリ素子の素子面積を小さくして集積度を上げることができ、また1つの薄膜トランジスタを製造する工程で上記メモリ素子を構成するメモリトランジスタT10と選択トランジスタT20とを形成できるとともに、ゲート電極Gとゲート絶縁膜14との間の耐圧保持層Aのうち選択トランジスタT20部分の膜厚を、ゲート電極Gをその表面から所定深さに酸化させて形成した酸化絶縁層12によって確保しているため、上記耐圧保持層13の上に形成したゲート絶縁膜14上に設ける1型半導体層15を平坦にかつ均一な厚さに形成して信頼性を向上させることができる。

また、この第2の実施例の薄膜トランジスタメモリでは、読出しを第2のゲート電極Gaにゲート電圧を印加して行なうようにしているから、読出し時にメモリ用絶縁膜13を介して1型半導体

層14と対向している基板11上のゲート電極Gに、メモリトランジスタT10の閾値電圧を変化させるようなゲート電圧を印加する必要はなく、したがって読出しの繰返しによるメモリトランジスタT10の閾値電圧の変化をなくして、半永久的に安定した読出しを行なうことができるし、さらに、上記1型半導体層15が平坦でかつ均一な厚さの層となっているため、上記1型半導体層15に段差を乗り越えて形成されている場合に比べて、第2のゲート電極Gaにゲート電圧を印加して行なう読出し時のドレイン電流を大きくとることができる。

また、第6図および第7図は本発明の第3の実施例を示したもので、第6図は薄膜トランジスタメモリの断面図、第7図はその等価回路図である。

この実施例の薄膜トランジスタメモリは、上記第1の実施例の薄膜トランジスタメモリにおいてゲート電極Gの両側部に形成した酸化絶縁層12を、ゲート電極Gのほぼ半分の領域に形成することにより、薄膜トランジスタの一半分（ゲート電

極Gとゲート絶縁膜14との間の耐圧保持層Aをゲート電極G上の耐圧保持層13だけとした部分をメモリトランジスタT10とし、他半分を選択トランジスタT20としたもので、その他の構成は上記第1の実施例の薄膜トランジスタメモリと同様である。

すなわち、この第3の実施例の薄膜トランジスタメモリは、1つの薄膜トランジスタの中に、1つのメモリトランジスタT10と1つの選択トランジスタT20とを形成したものであり、この第3の実施例の薄膜トランジスタメモリにおいても、メモリトランジスタT10と選択トランジスタT20とで構成されるメモリ素子の素子面積を小さくして集積度を上げることができるし、また1つの薄膜トランジスタを製造する工程で上記メモリ素子を構成するメモリトランジスタT10と選択トランジスタT20とを形成することができるとともに、耐圧保持膜13の上に形成したゲート絶縁膜14上に設ける1型半導体層15を平坦にかつ均一な厚さに形成して信頼性を向上させることができる。

層と前記耐圧保持膜とからなる二層の厚膜とすることにより、ゲート電極からゲート絶縁膜に印加される電界の強度を前記ゲート電極の一部分に対応する部分と他の部分とで異ならせて、前記ゲート絶縁膜のうちの前記耐圧保持膜だけからなる薄膜の耐圧保持層を介してゲート電極と対向する部分だけに電荷蓄積機能をもたせ、ゲート絶縁膜に電荷蓄積機能をもたせた部分をメモリトランジスタとするとともに他の部分を選択トランジスタとしたものであり、この薄膜トランジスタメモリは、1つの薄膜トランジスタの中にメモリトランジスタと選択トランジスタとを形成したものであるから、メモリトランジスタと選択トランジスタとで構成されるメモリ素子の素子面積を小さくして集積度を上げることができるし、また、1つの薄膜トランジスタを製造する工程で上記メモリ素子を構成するメモリトランジスタと選択トランジスタとを形成することができるから、少ない工程数で容易に製造することができる。しかも、本発明の薄膜トランジスタメモリでは、ゲート電極とゲ-

なお、この第3の実施例の薄膜トランジスタメモリにおいても、前述した第2の実施例と同様に読出し用の第2のゲート電極を設ければ、読出しの繰返しによるメモリトランジスタT10の閾値電圧の変化をなくして、半永久的に安定した読出しを行なうことができる。

なお、上記実施例では、ゲート電極Gをタンタルで形成したが、このゲート電極Gは、酸化により絶縁性を示すものであれば、例えばチタンやその他の金属で形成してもよく、また、ゲート電極G上に形成する耐圧保持膜13も酸化タンタルに限らず、酸化チタン、チタン酸バリウム、ジルコニウム酸チタン等の誘電体で形成してもよい。

〔発明の効果〕

本発明の薄膜トランジスタメモリは、薄膜トランジスタのゲート電極とゲート絶縁膜との間の耐圧保持層を、前記ゲート電極の一部分に対応する部分ではゲート電極上の耐圧保持膜だけからなる薄膜とし、前記ゲート電極の他の部分に対応する部分ではゲート電極の表面部に形成した酸化絶縁

膜とゲート絶縁膜との間の耐圧保持層のうち選択トランジスタ部分の膜厚を、ゲート電極をその表面から所定深さに酸化させて形成した酸化絶縁層によって確保しているため、ゲート電極上に形成する耐圧保持膜の膜厚を選択トランジスタ部分において厚くする場合のように上記耐圧保持膜の膜面に段差ができることはなく、したがって上記耐圧保持膜の上に形成したゲート絶縁膜上に設ける半導体層を平坦にかつ均一な厚さに形成して信頼性を向上させることができる。

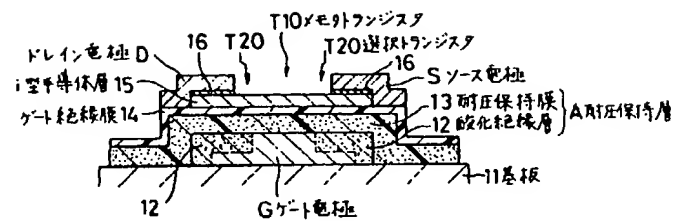
また、本発明の薄膜トランジスタメモリの製造方法は、絶縁基板上にゲート電極を形成した後、このゲート電極の一部分を除く部分をその表面から所定深さに酸化させて酸化絶縁層を形成し、この後前記ゲート電極の上に耐圧保持膜とゲート絶縁膜と半導体層とソース、ドレイン電極を順次形成するものであるから、1つの薄膜トランジスタの中にメモリトランジスタと選択トランジスタとを形成した前記薄膜トランジスタメモリを製造することができる。

4. 図面の簡単な説明

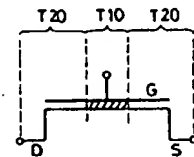
第1図～第3図は本発明の第1の実施例を示したもので、第1図および第2図は薄膜トランジスタメモリの断面図およびその等価回路図、第3図は薄膜トランジスタメモリの製造工程図である。第4図および第5図は本発明の第2の実施例を示す薄膜トランジスタメモリの断面図およびその等価回路図、第6図および第7図は本発明の第3の実施例を示す薄膜トランジスタメモリの断面図およびその等価回路図、第8図は従来の薄膜トランジスタメモリの等価回路図である。

T10…メモリトランジスタ、T20…選択トランジスタ、11…基板、G…ゲート電極、12…酸化絶縁層、13…耐圧保持膜、A…耐圧保持層、14…ゲート絶縁膜、15…i型半導体膜、16…n型半導体膜、S…ソース電極、D…ドレイン電極、18…上部ゲート絶縁膜、Ga…第2のゲート電極（読出し用）。

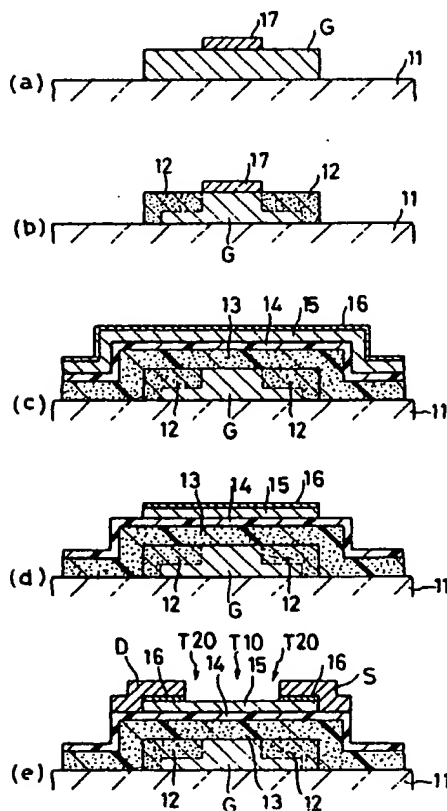
出願人 カシオ計算機株式会社



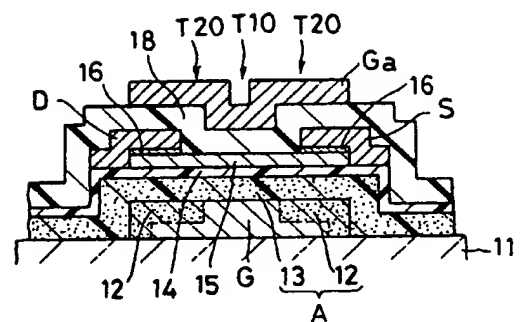
第1図



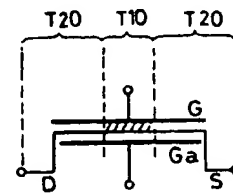
第2図



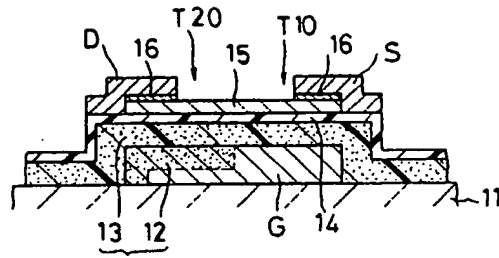
第3図



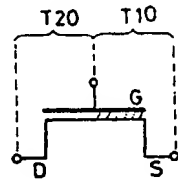
第4図



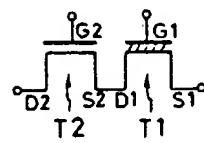
第5図



A 第6図



第7図



第8図